

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-85523

(P2001-85523A)

(43)公開日 平成13年3月30日 (2001.3.30)

(51)Int.Cl'
H 01 L 21/768
21/3205

識別記号

F I
H 01 L 21/90
21/88
21/90

テーマコード*(参考)
B
R
D

審査請求 未請求 請求項の数24 OL (全 6 頁)

(21)出願番号 特願2000-245498(P2000-245498)
(22)出願日 平成12年8月14日 (2000.8.14)
(31)優先権主張番号 09/385165
(32)優先日 平成11年8月30日 (1999.8.30)
(33)優先権主張国 米国 (US)

(71)出願人 596077259
ルーセント テクノロジーズ インコーポ
レイテッド
Lucent Technologies
Inc.
アメリカ合衆国 07974 ニュージャージ
ー、マーリーヒル、マウンテン アベニュー
600-700
(72)発明者 セイリー チティペディ
アメリカ合衆国、18104 ペンシルバニア、
アレンタウン、レナップ トレイル 308
(74)代理人 100081053
弁理士 三俣 弘文

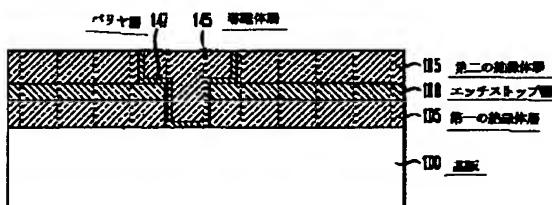
最終頁に続く

(54)【発明の名称】二重ダマシン構造を有する集積回路およびその製造工程

(57)【要約】

【課題】余分な工程を削減し二重ダマシン構造を形成できる製造工程を提供する。

【解決手段】二重ダマシン構造を製造する工程である。この工程は、スタックの上方に2個のマスクが形成される絶縁体層とトップ層を含むスタックを形成するものである。マスクのうちの1個は、絶縁体層にビアあるいはコンタクト開口を形成するのに用いられ、第2のマスクは絶縁体層の相互接続のための凹部を形成するのに用いられる。より好ましくは、凹部はビアあるいはコンタクト開口に先行して形成される。



1

【特許請求の範囲】

【請求項1】(a) 第一の層、第二の層およびトップ層を有する STACK 層を設けるステップと、
 (b) 前記第一の層と前記第二の層のうちの一層に第一の開口を形成するステップと、
 (c) 前記第一の層、前記第二の層および前記トップ層のうちの少なくとも二層に前記第一の開口より小さい第二の開口を形成し、この第二の開口を少なくとも前記ベースの一部に形成するステップとを有することを特徴とする集積回路の製造方法。

【請求項2】請求項1の集積回路の製造方法において、ステップ(b)は、ステップ(c)に先行して行われることを特徴とする集積回路の製造方法。

【請求項3】請求項8の集積回路の製造方法において、前記第一の開口は凹部であり、前記第二の開口はビアまたはコンタクト開口であることを特徴とする集積回路の製造方法。

【請求項4】請求項1の集積回路の製造方法において、さらに前記第一の層と前記第二の層間にトップ層を形成し、STACKを形成するステップを有することを特徴とする集積回路の製造方法。

【請求項5】請求項4の集積回路の製造方法において、ステップ(c)はさらに前記トップ層と前記第一の層に前記第二の開口を形成するステップを有することを特徴とする集積回路の製造方法。

【請求項6】請求項5の集積回路の製造方法において、ステップ(b)は、さらに前記第二の層に第一の開口を形成することを特徴とする集積回路の製造方法。

【請求項7】請求項5の集積回路の製造方法において、前記トップ層の表面をさらし、ベースを形成することを特徴とする集積回路の製造方法。

【請求項8】請求項1の集積回路の製造方法により製造されることを特徴とする集積回路。

【請求項9】請求項1の集積回路の製造方法において、ステップ(b)は、さらに第一のマスク層を形成するステップを有し、ステップ(c)は、さらに第一のマスク層の上方に第二のマスク層を形成するステップとを有することを特徴とする集積回路の製造方法。

【請求項10】請求項9の集積回路の製造方法において、ステップ(b)はさらに第一のマスク層を形成し第一の開口を形成するステップと、ステップ(c)はさらに第二のマスク層を形成し第二の開口を形成するステップとを有することを特徴とする集積回路の製造方法。

【請求項11】請求項9の集積回路の製造方法において、前記開口は凹部であり、前記第二の開口はビアとコンタクト開口の一つであることを特徴とする集積回路の製造方法。

【請求項12】請求項1の集積回路の製造方法において、前記第一の開口は凹部であり、前記第二の開口はビアとコンタクト開口の一つであることを特徴とする集積

2

回路の製造方法。

【請求項13】請求項1の集積回路の製造方法において、前記トップ層はハードマスクであることを特徴とする集積回路の製造方法。

【請求項14】請求項1の集積回路の製造方法において、前記トップ層はさらに、Ta、TaN、Si₃N₄、シリコンリッチ酸化物および多重層SiO₂誘電体のグループから選択されることを特徴とする集積回路の製造方法。

10 【請求項15】請求項1の集積回路の製造方法において、前記第一の層と前記第二の層は誘電体であることを特徴とする集積回路の製造方法。

【請求項16】請求項15の集積回路の製造方法において、前記誘電体は、Ta、TaN、Si₃N₄、シリコンリッチ酸化物および多重層SiO₂誘電体のグループから選択されることを特徴とする集積回路の製造方法。

20 【請求項17】請求項1の集積回路の製造方法において、前記第一の開口と前記第二の開口に導電体材料を形成し、前記集積回路に相互接続を形成するステップを有することを特徴とする集積回路の製造方法。

【請求項18】請求項17の集積回路の製造方法において、前記導電体材料は、Cu、Al、W、Ni、ポリシリコン、Auのグループから選択されることを特徴とする集積回路の製造方法。

20 【請求項19】(a) 複数の層を形成するステップと、
 (b) 第一のマスク層を形成するステップと、
 (c) 前記第一のマスクを完全に除去するステップに先行して、第二のマスク層を形成するステップと、
 (d) 前記第一のマスク層と前記第二のマスク層を用いて二重ダマシン構造を形成するステップとを有することを特徴とする集積回路の製造方法。

【請求項20】請求項19の集積回路の製造方法において、ステップ(c)の後に、複数の層のうちの二層をパターン化するステップ(e)を有することを特徴とする集積回路の製造方法。

40 【請求項21】請求項20の集積回路の製造方法において、前記第二のマスク層を形成するステップに先行して、複数の層のうちの前記二層と異なる一層をパターン化するステップを有することを特徴とする集積回路の製造方法。

【請求項22】請求項15の集積回路の製造方法において、前記二重ダマシン構造に導電体材料を形成し、集積回路に相互接続を形成するステップを有することを特徴とする集積回路の製造方法。

【請求項23】上表面を有する複数の層を形成するステップと、前記複数の層をパターン化するステップに先行して、上表面の上方の第一のパターンを有する第一のマスク層を形成するステップと、複数の層のうちの一層をパターン化するステップ後に、前記第一のパターンと異

3

なり、前記上表面上方および前記第一のマスク層の上方の第二のパターンを有する第二のマスク層を形成するステップと、前記第一のマスク層と前記第二のパターンを用いて二重ダマシン構造を形成するステップとを有することを特徴とする集積回路の製造方法。

【請求項24】請求項24請求項23の集積回路の製造方法において、前記二重ダマシン構造に導電体を形成し、集積回路に相互接続を形成するステップを有することを特徴とする集積回路の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は集積回路およびその製造工程に係わり、特に集積回路の二重ダマシン構造を有する集積回路およびその製造工程に関する。

【0002】

【従来の技術】單一ダマシンは集積回路絶縁体層に凹部を形成し、この凹部に導電性材料を充填して相互接続を形成し、その凹部に集積回路用の相互接続を製造する工程である。二重ダマシンは多重レベル相互接続工程であり、單一ダマシンでの凹部形成ステップに加えて、その工程中で導電性コンタクト（または、ビア）開口を絶縁体層に形成するものである。導電性材料が凹部および導電性コンタクト（または、ビア）開口に形成される。一つの標準的二重ダマシン工程では、導電性構造に第一の酸化層を堆積することである。ハードマスクが第一の酸化膜上に形成され、さらに第一のパターン化されたフォトレジスト層がハードマスク上に形成される。パターンとして第一のフォトレジスト層を用い、ハードマスクはパターン化される。第一のフォトレジスト層は除去され、その後、第一の酸化層がハードマスクの上に形成される。第二のパターン化されたフォトレジスト層は第二の酸化層上に形成される。第一のフォトレジスト層および第二のフォトレジスト層はエッチングされ、二重ダマシン開口が形成される。第一のフォトレジスト層はパターンとしてハードマスクが用いられ、エッチストップ層として下層導電性構造が用いられてエッチングされる。第二の酸化層はパターンとして第二のフォトレジスト層を用い、エッチストップ層としてハードマスクが用いられてエッチングされる。その後、第二のフォトレジスト層は除去される。

【0003】

【発明が解決しようとする課題】本発明に係わる製造工程は、組合わされた異なる工程を有し、二重ダマシン構造を形成するものである。例えば、ハードマスクは、第二に誘電体層を形成するのに先行してパターン化される。これにより、部分的に製造された集積回路は、異なる堆積層を形成する異なる工程システムとパターン化ステップ間に連ばれる。他の二重ダマシン工程において、誘電体は形成され、さらに、第一のフォトレジストを用いてパターン化される。第一のフォトレジストは除去さ

4

れ、誘電体は第二のフォトレジストを用い再びパターン化される。ビアと凹部は異なるパターンステップを用いて形成される。この工程は、時間エッティングが用いられ、凹部の深さが制御される。この工程は制御が難しい。このため、余分な工程を削減し二重ダマシン構造を形成できる製造工程が要望されている。

【0004】

【課題を解決するための手段】本発明は二重ダマシン構造を形成する工程に関するものである。本工程は2個のマスクが STACK の上方に形成される絶縁体層とエッチストップ層を有する STACK 形成工程を含む。この第一のマスクは絶縁体層にビアまたはコンタクト開口を形成するのに用いられ、第二のマスクは絶縁体層に相互接続用の凹部を形成するのに用いられる。より好まし実施形態では、凹部はビアあるいはコンタクト開口に先行して形成される。STACK が形成された後に 2 個のマスク層を用いることで、幾つかの工程と部分的に製造された集積回路のシステム間での搬送を減らすことができる。換言すれば、絶縁体層とエッチストップ層が形成され、続いてパターン化され、二重ダマシン構造が形成される。さらに、絶縁体層とエッチストップ層は同じチャンバあるいはチャンバのクラスタ内に形成される。さらに、少なくとも一レジスト除去工程が省略される。

【0005】

【発明の実施の形態】本発明の実施形態に係わる二重ダマシン構造を形成する工程を説明するものである。本工程は2個のマスクが STACK の上方に形成される絶縁体層とエッチストップ層を有する STACK 形成工程とを含む。第一のマスクは絶縁体層のビアあるいはコンタクト開口を形成するために用いられ、第二のマスクは絶縁体層に相互接続用の凹部を形成するために用いられる。より好まし実施形態は、凹部がビアあるいはコンタクト開口の形成に先行して形成されることである。STACK が形成された後に 2 個のマスク層を用いることで、幾つかの工程と部分的に製造された集積回路のシステム間での搬送を減らすことができる。換言すれば、絶縁体層とエッチストップ層が形成され、続いてパターン化され、二重ダマシン構造が形成される。さらに、絶縁体層とエッチストップ層は同じチャンバあるいはチャンバのクラスタ内に形成される。さらに、少なくとも一レジスト除去工程が省略される。

【0006】以下図面を参照して説明する。なお、同一部分には同一符号を付して説明する。図1は本発明の実施形態に用いられる集積回路の製造工程を説明するフローチャートである。図2-図7は図1に示す工程を用いた連続する製造段階での集積回路の概略図である。

【0007】ステップ10では、第一の絶縁体層105は基板100上に形成される。この第一の絶縁体層105は、例えば高密度堆積シリコン酸化物（例えばSiO₂）のような誘電体である。より好ましくは、第一の絶

5

縁体層は、ホウ矽珪酸塩ガラス、矽珪酸塩ガラス、矽および／またはボロンドープテトラエチルオルト珪素酸ガラス、塗布ガラス膜(Spin on Glass)、キセロゲル、エローゲル、ポリマ、フッカ処理された酸化物、水素含有塗布ガラス膜(Hydrogen SilsesQuioxane)のようなその他低誘電率フィルムから製造されるガラスである。基板100は、例えば、シリコンのような半導体、あるいはGaAsまたはSiGeのような化合物半導体である。より好ましくは、基板100は誘電体、導電体あるいはその他の材料からなる集積回路の中間層である。さらに、基板100の上表面101は、平坦ではない。

【0008】この例の場合、第一の絶縁体層105は、例えば周知の化学機械研磨(CMP)を用いて平坦化される。ステップ15では、エッチストップ層110が第一の絶縁体層105の上方あるいは第一の絶縁体層105と直接接して形成される。より好ましい実施形態として、一層あるいは多層がエッチストップ層110と第一の絶縁体層105間に形成される。エッチストップ層に用いられる材料は、選択エッチングに対して第二の絶縁体層115より大きい耐エッチング性を有する材料から選択される。換言すれば、エッチストップ層110は選択エッチング液に晒されたとき、第二の絶縁体層115よりもエッチングされる割合が小さい。

【0009】例えば、エッチストップ層は第二の絶縁体層がSiO₂である場合にはTiNである。さらに、エッチストップ層はTa、Ta_N、Si₃N₄、シリコンリッチ酸化物、多層SiO₂誘電体層である。ステップ20では、第二の絶縁体層105がエッチストップ層110の上方あるいは直接接して形成される。第二の絶縁体層115は、第一の絶縁体層105を形成するのに用いたと同様の材料と工程を用いて形成される。

【0010】ステップ25では、第一のパターン120が絶縁体層115の上方あるいは直接接して形成される。第一のパターンマスク120は、形成されるランナに対応する開口を有している。ステップ30では、凹部は第二の絶縁体層115で開口される。凹部135は従来のエッチング技術を用いて形成される。エッチングステップ中、エッチストップ110が用いられ、このエッチングステップの終点を画定する。例えば、凹部135は、1) 第二の絶縁体層115上にレジスト材料層(第一のパターンマスク)を付着するステップ、2) レチクルを通して通過するエネルギー源にレジスト材料を曝すステップ、3) レジストの曝された領域を除去し、レジストにパターンを形成するステップ、4) 凹部135をエッチングするステップにより形成される。エネルギー源は電子ビーム、光源、あるいは他のこれに適するエネルギー源である。

【0011】引き続いて、ステップ35では、第二のパターンマスク130が第一のパターンマスク120の上

6

方または上に形成される。第二のパターンマスクの開口が形成されるビアまたはコンタクト開口(以下開口といふ)に対応するように、第二のパターンマスクが形成される。パターンマスクの一部が凹部135の壁面150、151上に形成される。結果として、壁面150、151は開口形成中、さらにエッチングされることはない。

【0012】例えば、第二のパターンマスク130は、1) 四部135内および第一のパターンマスク120上にレジスト材料層を付着するステップ、2) レチクルを通して通過するエネルギー源にレジスト材料を曝すステップ、3) レジストの曝された領域を除去し、レジストにパターンを形成するステップで形成される。エネルギー源は電子ビーム、光源、あるいは他のこれに適するエネルギー源である。ステップ40では、エッチストップ層110と第一の絶縁体層105がパターン化され、形成される層間に相互接続に対応する開口125を形成する。開口125は従来のエッチング技術あるいはその組合せを用いてパターン化され、少なくとも異なる二層を貫いてエッチングする。開口125は凹部135の境界150、151により画定される境界内に入っている。

【0013】その後、ステップ45では、マスク層120、130の残余部分は周知の技術を用いて剥ぎ取られ、ステップ47で、部分的に完成した集積回路は従来工程を用いて洗浄される。ステップ50では、導電体層145は第二の絶縁体層115の上方に、さらに開口および凹部内に被覆堆積される。その後、凹部135の外側および第二の絶縁体層上または上方部分の導電体層は除去され、完全な相互接続が完成する。これは従来の化学機械研磨工程を用いて行なわれる。導電体層145は、タンクステン、アルミニウム、銅、ニッケル、ポリシリコン、あるいは当業者が導線として用いるのに適したその他周知の導電性材料である。より好ましい例として、一つの多層が導電性層145の堆積に先行して形成される。これらの層は導電性層と周囲の層間の水分と不純物の移動を防止するバリヤ層である。具体例としてのバリヤ層147を図17に示す。

【0014】例えば、導電性層145が銅であるなら、TaおよびTa_Nを含むバリヤ層147が導電体層の堆積に先行して、第二の絶縁体層120上および開口と凹部内に堆積される。導電性層がアルミニウムを含むなら、(1) TaとTa_N、(2) TiとTiNとTiが用いられる。さらに、Si₃N₄、Ta_N、TiN、あるいはTiWのようなキャップ層が導電体層の上表面に形成される。バリヤ層に用いられる他の材料は、WSi、TiW、Ta、Ta_N、Ti、TiN、Cr、Cu、Au、WN、TaSiN、WSiNを含む。バリヤ層147は導電体層が実質的に形成されるために接着層および／または核の役目をする。

【0015】その後、集積回路は、もし必要ならば、上述した工程および従来の工程を用いて形成された相互接続を含ませて、集積回路を完成させる追加の金属レベルを付加して完成される。この集積回路は、またトランジスタと特殊な集積回路設計に必要な他の要素を含む。これらの構造を含む集積回路の製造工程は、参考としてここに織り込まれた1-3 Wolf, Silicon Processing for the VLSI Era, (1986)に記述されている。

【0016】

【発明の効果】ス택クが形成された後に2個のマスク層を用いることで、幾つかの工程と部分的に製造された集積回路のシステム間での搬送を減らすことができる。

【図面の簡単な説明】

【図1】本発明の実施形態に用いられる集積回路の製造工程を説明するフローチャートである。

【図2】図1に示す工程を用いた連続する製造段階での集積回路の概略図である。

【図3】図1に示す工程を用いた連続する製造段階での集積回路の概略図である。

【図4】図1に示す工程を用いた連続する製造段階での

集積回路の概略図である。

【図5】図1に示す工程を用いた連続する製造段階での集積回路の概略図である。

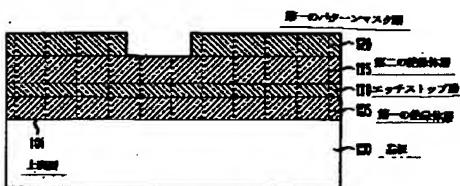
【図6】図1に示す工程を用いた連続する製造段階での集積回路の概略図である。

【図7】図1に示す工程を用いた連続する製造段階での集積回路の概略図である。

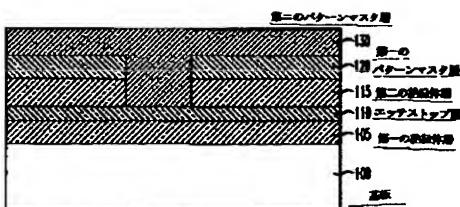
【符号の説明】

100	基板
101	上表面
105	第一の絶縁体層
110	エッチストップ層
115	第二の絶縁体層
120	第一のパターンマスク層
125	開口
130	第二のパターンマスク層
135	凹部
145	導電体層
147	バリヤ層
150	壁面
151	壁面

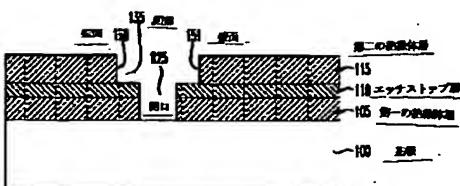
【図2】



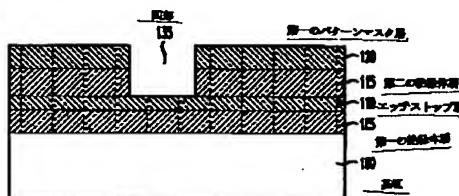
【図4】



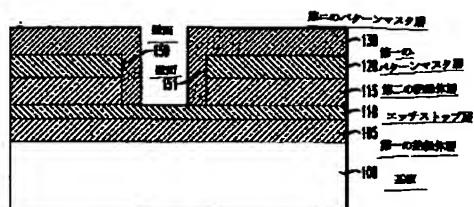
【図6】



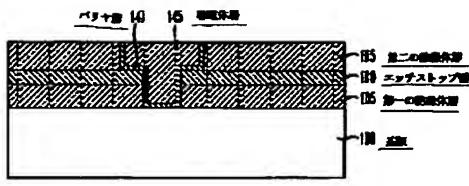
【図3】



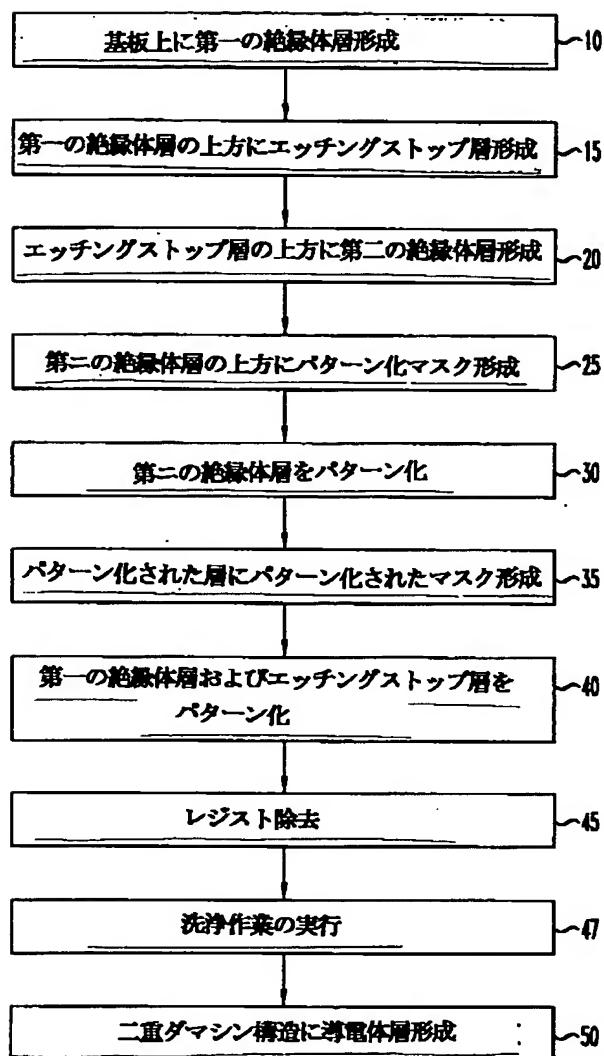
【図5】



【図7】



【図1】



フロントページの続き

(71)出願人 596077259

600 Mountain Avenue,
Murray Hill, New Je
rsey 07974-0636 U. S. A.

(72)発明者 セイリー マンシン マーチャント

アメリカ合衆国、32835 フロリダ、オー
ランド、バインランド オークス ブルバ
ード 8214